

PATENT ABSTRACTS OF JAPAN

(1) Publication number : 05-020161
(43) Date of publication of application : 29.01.1993

(51) Int. Cl.

G06F 12/06

(21) Application number : 03-169979

(71) Applicant : FUJITSU LTD

(22) Date of filing : 10.07.1991

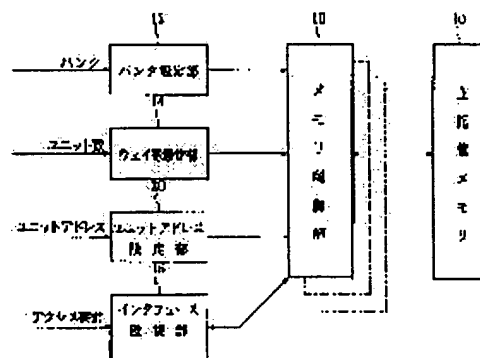
(72) Inventor : KANETANI EIJI
SUDO KIYOSHI
OGURA KIMINARI
YAMAGUCHI TATSUYA
SAKURAI YASUTOMO
ODAWARA KOICHI
NONAKA TAKUMI

(54) MAIN STORAGE CONTROLLER

(57) Abstract:

PURPOSE: To reduce the development cost and manhour of an LSI for a main storage controller which controls the main storage of an information processor by dealing with the main storage of a single way and plural banks (ways) with use of a single type of LSI.

CONSTITUTION: The bank of a main storage 10 to receive an access is previously set at a bank setting part 12, and the number of ways of the memory 10 is previously set at a way number setting part 14. An interface monitoring part 16 receives an access request given to the storage 10. Then a memory control part 18 performs the access control to the storage 10 based on the setting contents of both parts 12 and 14 and in response to the request received by the part 16.



LEGAL STATUS

[Date of request for examination] 10.02.1995

[Date of sending the examiner's decision of rejection] 24.06.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NOTICES

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Industrial Application] This invention relates to the main storage controller which controls the primary storage of an information processor.

[0002] This kind of equipment is LSI-ized and is inserted between primary-storage memory, a system bus, etc.

[0003]

[Description of the Prior Art] The 1st conventional example is shown in drawing 7, and the IF (interface) Monitoring Department 16, the memory control section 18 (two circuits), and the selection-signal receive section 72 are established in this LSI70.

[0004] And if the demand of memory access is given to the IF Monitoring Department 16 from a bus side and a bank selection signal is respectively given to the selection-signal receive section 72, the target bank (way) will be accessed by the memory control section 18 of correspondence.

[0005] The 2nd conventional example only for 1 ways is shown in drawing 8, for this reason, that LSI70 is constituted by the IF Monitoring Department 16 and the memory control section 18, and the primary-storage memory of one way is accessed by the memory control section 18 according to the access request which the IF Monitoring Department 16 received.

[0006]

[Problem(s) to be Solved by the Invention] In the former, LSI (drawing 7) corresponding to the primary storage of two or more banks (way) and LSI (drawing 8) corresponding to the primary storage of one way are prepared, therefore two kinds of LSI is developed separately.

[0007] It is ** with required requesting that the manufacturing cost of an information processor is reduced here, and reducing the development costs of a main storage controller (LSI), and a man day for the reason.

[0008] This invention is made in view of the above-mentioned conventional situation, and the purpose is in offering the costs which development takes, and the equipment which becomes possible [reducing the man day and reducing the manufacturing cost of an information processor].

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the main storage controller concerning this invention is constituted like drawing 1.

[0010] The bank set section 12 to which the bank of the primary-storage memory 10 where the equipment of the 1st invention is set as the object of access in this drawing is set beforehand, The number setting section 14 of ways to which the number of ways of said primary-storage memory 10 is set beforehand, With the interface Monitoring Department 16 which receives the demand of access to said primary-storage memory 10 It has the memory control section 18 which performs the access control of said primary-storage memory 10 according to the contents of a setting of said bank set section 12 and the number setting section 14 of ways, and the demand which said interface Monitoring Department 16 received.

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The bank set section to which a bank of the primary-storage memory (10) set as the object of access is set beforehand (12), The number setting-out section of ways to which the number of ways of said primary-storage memory (10) is set beforehand (14), Said primary-storage memory (interface Monitoring Department (16 which receives the demand of access to 10)), The main storage controller characterized by what it has for the memory control section (18) which performs the access control of said primary-storage memory (10) according to the demand which said bank set section (the content of setting out of 12) and the number setting-out section of ways (14) and said interface Monitoring Department (16) received.

[Claim 2] The bank set section to which a bank of the primary-storage memory (10) set as the object of access is set beforehand (12), The number setting-out section of ways to which the number of ways of said primary-storage memory (10) is set beforehand (14), Said primary-storage memory (interface Monitoring Department (16 which receives the demand of access to 10)), The unit address setting-out section to which the unit address of said primary-storage memory (10) is set beforehand (20), Have the memory control section (18) which performs the access control of said primary-storage memory (10) according to the demand which said number setting-out section of bank set section (12) ways (the content of setting out of 14) and the unit address setting-out section (20) and said interface Monitoring Department (16) received. The main storage controller characterized by things.

[Translation done.]

[0011] Moreover, the bank set section 12 to which the bank of the primary-storage memory 10 where the equipment of the 2nd invention is set as the object of access is set beforehand, The number setting-out section 14 of ways to which the number of ways of said primary-storage memory 10 is set beforehand, With the interface Monitoring Department 16 which receives the demand of access to said primary-storage memory 10 The unit address setting-out section 20 to which the unit address of said primary-storage memory (10) is set beforehand, It has the memory control section (18) which performs the access control of said primary-storage memory (10) according to the demand which said number setting-out section of bank set section (12) ways (the content of setting out of 14) and the unit address setting-out section (20) and said interface Monitoring Department (16) received.

[0012]

[Function] In this invention, if an access request is received after a bank and setting out of the number of ways (unit address), since the access control of the primary-storage memory 10 will be performed according to the content of setting out, it becomes possible to correspond to the primary-storage memory 10 of one way and two or more banks (way) from the content of these setting out.

[0013]

[Example] Hereafter, the suitable example of the main storage controller applied to this invention based on a drawing is explained.

[0014] In drawing 2, the whole 1st example configuration is explained and two or more LSI32 (a main storage controller is constituted) is inserted between the primary-storage memory 10 and a bus 30 in this drawing.

[0015] Those LSI32 consists of the bank register 12 of a couple, a way register 14, the IF Monitoring Department 16, and a memory control section 18 of a couple, and an access request is given to the IF Monitoring Department 16 from a bus 30.

[0016] Access of the primary-storage memory 10 is performed according to the demand which the IF Monitoring Department 16 received in the memory control section 18, the data given from the bus 30 on that occasion are written in the primary-storage memory 10, or the data of the primary-storage memory 10 understand the IF Monitoring Department 16 to a bus 30, and are sent out to it.

[0017] Moreover, the bank which LSI32 controls is set to the bank register 12, and the number of ways which LSI32 controls is set to the way register 14 (in addition, setting out of the bank register 12 and the way register 14 is performed at the time of the charge of a power source).

[0018] Furthermore, by the memory control section 18, the content of setting out of the bank register 12 and the way register 14 is referred to at the time of access of the primary-storage memory 10, and the access control of the primary-storage memory 10 is performed according to these contents of setting out.

[0019] Consequently, it becomes possible by changing the content of setting out of the bank register 12 and the way register 14 to access the primary-storage memory 10 as a thing of two or more banks (way) only for 1 ways.

[0020] The internal configuration of LSI32 is explained in drawing 3, and the address of the memory unit in the primary-storage memory 10 is set to the unit address register 20 prepared with the bank register 12 and the way register 14 by the power up.

[0021] Moreover, the mode buffer 160, the address buffer 162, the decoder 164, the light buffer 166, and the lead buffer 168 are prepared for the IF Monitoring Department 16, a write mode signal is written in the mode buffer 160 at a power up, and the address of the bank register 12, the way register 14, and the unit address register 20 is written in an address buffer 162.

[0022] And if the output of these buffers 160,162 is given to a decoder 164, the bank register 12, the way register 14, and the unit address register 20 will be specified as an access place of a light.

[0023] If setting-out data are furthermore given from a bus 30 to the light buffer 166, this setting-out data will be written in the bank register 12, the way register 14, and the unit address register 20.

[0024] In this drawing, the memory control section 18 is equipped with the memory control signal generation section 180, a comparison circuit 182, multiplexers 184 and 186, the data control section 188, the data output buffer 190, and the data input buffer 192, and the timing signal of access is supplied to

the memory control signal generation section 180 through the stage circuit 74 from a bus 30.

[0025] And the output of the mode buffer 160 and the output of a comparison circuit 182 are also given to the memory control signal generation section 180, and a RAS signal, a CAS signal, OE signal, and WE signal are sent out from the memory control signal generation section 180 to the primary-storage memory 10.

[0026] Moreover, the output of the bank register 12, the way register 14, the unit address register 20, and an address buffer 162 is given to a comparison circuit 182, and the output of the way register 20 and an address buffer 162 is given to a multiplexer 184.

[0027] The output of this multiplexer 184 is given to the multiplexer 186, and a row address and the column address are sent out from a multiplexer 186 by control of the memory control signal generation section 18 to the primary-storage memory 10.

[0028] Furthermore, the output of the stage circuit 74, the mode buffer 160, and a comparison circuit 182 is given to the data control section 188. It is controlled by the light buffer 166, the lead buffer 168, the data output buffer 190, and the data input buffer 192 data-control section 188 using them (when it checks that access of the primary-storage memory 10 is performed from the output of a comparison circuit 182). Access in the mode shown with the output of the mode buffer 160 is performed synchronizing with the output of the stage circuit 74.

[0029] In addition, light data are written in the primary-storage memory 10 through the light buffer 166 and the data output buffer 190, and the data by which reading appearance was carried out from the primary-storage memory 10 are sent out through the data input buffer 192 and the lead buffer 168 to a bus 30.

[0030] Here, if bank 0 and the address of a unit 0 are written in an address buffer 162 from a bus 30 and the data which show a Read mode to the mode buffer 160 are written in, the output which shows address coincidence in the comparison circuit 182 of LSI32 where the bank 0 was set as the bank register 12, and the unit 0 was respectively set as the unit address register 20 will be obtained.

[0031] If the comparison output and output of the mode buffer 160 are given to the memory control signal generation section 180 and the data control section 188, the data by which reading appearance was carried out from the primary-storage memory 10 with the output of the memory control signal generation section 180 will be sent out through the data input section 192 and the lead buffer 168 to a data bus 30 by control of the data control section 188.

[0032] In other LSI32, the output of address coincidence is not obtained in a comparison circuit, therefore access actuation of the primary-storage memory 10 is not performed.

[0033] Moreover, when the unit address register 20 which stores the data of the four address like drawing 4 is used, a memory unit is extended like drawing 5 R> 5, and the primary-storage memory 10 can be used in one way of this drawing (A), two ways of 16 units / this drawing (B), four ways of 8 units / this drawing (C), and four units.

[0034] However, since the extensible number of units changes for every number of ways so that I may be understood from drawing 6, the numbers of bits of a unit address differ with the number of ways, and the bank address is needed at the time of two ways and 4 ways.

[0035] For this reason, the bit which measures the unit address and the bank address which are shown with the output of an address buffer 162, and the output of the unit address register 20 and the bank register 12 is determined with the output of the way register 14.

[0036] Furthermore, since memory addresses differ like drawing 6 at the time of each way, a multiplexer 184 is controlled by the output of the way register 14, and, thereby, a memory address is determined.

[0037] As mentioned above, since the primary-storage memory 10 of one way and two or more banks (way) is controllable only by developing one kind of LSI32, it becomes possible to reduce the development costs and manday and to reduce the manufacturing cost of an information processor.

[0038]

[Effect of the Invention] Since it can respond to the primary storage of one way and two or more banks (way) by one kind of LSI according to this invention as explained above, it becomes possible to reduce the development costs and manday of LSI and to reduce the manufacturing cost of an information

processor.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the principle explanatory view of invention.

[Drawing 2] It is the configuration explanatory view of the 1st example.

[Drawing 3] It is the internal configuration explanatory view of LSI in the 1st example.

[Drawing 4] It is the configuration explanatory view of the 2nd example.

[Drawing 5] It is a memory connection explanatory view in the 2nd example.

[Drawing 6] It is the address explanatory view of each way in the 2nd example.

[Drawing 7] It is the configuration explanatory view of the 1st conventional example.

[Drawing 8] It is the configuration explanatory view of the 2nd conventional example.

[Description of Notations]

10 Primary-Storage Memory

12 Bank Register

14 Way Register

16 IF Monitoring Department

18 Memory Control Section

20 Unit Address Register

30 Bus

32 LSI

74 Stage Circuit

160 Mode Buffer

162 Address Buffer

164 Decoder

166 Light Buffer

168 Lead Buffer

180 Memory Control Signal Generation Section

182 Comparison Circuit

184,186 Multiplexer

188 Data Control Section

190 Data Output Buffer

192 Data Input Buffer

[Translation done.]

特開平5-20181

(43) 公開日 平成5年(1993)1月29日

(51) Int. Cl.⁵

G06F 12/06

識別記号

540

8841-5B

F I

審査請求 未請求 請求項の数 2 (全10頁)

(21) 出願番号 特願平3-169979

(22) 出願日 平成3年(1991)7月10日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 金谷 英治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 須藤 清

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 小椋 仁成

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊藤 儀一郎

最終頁に続く

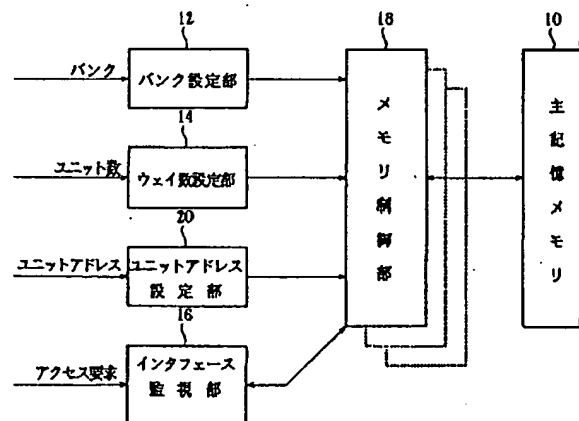
(54) 【発明の名称】 主記憶制御装置

(57) 【要約】

【目的】 本発明は、情報処理装置の主記憶を制御する主記憶制御装置に関するものであり、一種類のLSIで1ウェイトと複数バンク(ウェイト)の主記憶に対応してLSIの開発費用及び工数を削減することを目的とする。

【構成】 アクセスの対象となる主記憶メモリ10のバンクが予め設定されるバンク設定部12と、前記主記憶メモリ10のウェイト数が予め設定されるウェイト数設定部14と、前記主記憶メモリ10に対するアクセスの要求を受信するインタフェース監視部16と、前記バンク設定部12及びウェイト数設定部14の設定内容と前記インタフェース監視部16が受信した要求とに応じて前記主記憶メモリ10のアクセス制御を行なうメモリ制御部18と、を有する。

発明の原理説明図



【特許請求の範囲】

【請求項1】 アクセスの対象となる主記憶メモリ（10）のバンクが予め設定されるバンク設定部（12）と、

前記主記憶メモリ（10）のウェイト数が予め設定されるウェイト数設定部（14）と、

前記主記憶メモリ（10）に対するアクセスの要求を受信するインタフェース監視部（16）と、

前記バンク設定部（12）及びウェイト数設定部（14）の設定内容と前記インタフェース監視部（16）が受信した要求とに応じて前記主記憶メモリ（10）のアクセス制御を行なうメモリ制御部（18）と、

を有する、ことを特徴とした主記憶制御装置。

【請求項2】 アクセスの対象となる主記憶メモリ（10）のバンクが予め設定されるバンク設定部（12）と、

前記主記憶メモリ（10）のウェイト数が予め設定されるウェイト数設定部（14）と、

前記主記憶メモリ（10）に対するアクセスの要求を受信するインタフェース監視部（16）と、

前記主記憶メモリ（10）のユニットアドレスが予め設定されるユニットアドレス設定部（20）と、

前記バンク設定部（12）、ウェイト数設定部（14）及びユニットアドレス設定部（20）の設定内容と前記インタフェース監視部（16）が受信した要求とに応じて前記主記憶メモリ（10）のアクセス制御を行なうメモリ制御部（18）と、

を有する、ことを特徴とした主記憶制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、情報処理装置の主記憶を制御する主記憶制御装置に関するものである。

【0002】 この種の装置はLSI化されており、主記憶メモリとシステムバスなどとの間に挿入される。

【0003】

【従来の技術】 図7には第1従来例が示されており、このLSI70にはIF（インタフェース）監視部16、メモリ制御部18（2回路）、選択信号受信部72が設けられている。

【0004】 そして、バス側からIF監視部16にメモリアクセスの要求が与えられ、選択信号受信部72にバンク選択信号が各々与えられると、目的のバンク（ウェイ）が対応のメモリ制御部18によりアクセスされる。

【0005】 図8には1ウェイ専用の第2従来例が示されており、このため、そのLSI70はIF監視部16とメモリ制御部18とにより構成され、IF監視部16が受信したアクセス要求に応じて1ウェイの主記憶メモリがメモリ制御部18でアクセスされる。

【0006】

【発明が解決しようとする課題】 従来においては、複数

バンク（ウェイ）の主記憶に対応したLSI（図7）と1ウェイの主記憶に対応したLSI（図8）が用意されており、したがって、2種類のLSIが別々に開発されている。

【0007】 ここで、情報処理装置の製造コストを引き下げるのが要望されており、そのためには、主記憶制御装置（LSI）の開発費用、開発工数を削減することが必要となる。

【0008】 本発明は上記従来の事情に鑑みてなされたものであり、その目的は、開発に要する費用、その工数を削減して情報処理装置の製造コストを引き下げることが可能となる装置を提供することにある。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明にかかる主記憶制御装置は図1のように構成されている。

【0010】 同図において第1発明の装置は、アクセスの対象となる主記憶メモリ10のバンクが予め設定されるバンク設定部12と、前記主記憶メモリ10のウェイト数が予め設定されるウェイト数設定部14と、前記主記憶メモリ10に対するアクセスの要求を受信するインタフェース監視部16と、前記バンク設定部12及びウェイト数設定部14の設定内容と前記インタフェース監視部16が受信した要求とに応じて前記主記憶メモリ10のアクセス制御を行なうメモリ制御部18と、を有する。

【0011】 また第2発明の装置は、アクセスの対象となる主記憶メモリ10のバンクが予め設定されるバンク設定部12と、前記主記憶メモリ10のウェイト数が予め設定されるウェイト数設定部14と、前記主記憶メモリ10に対するアクセスの要求を受信するインタフェース監視部16と、前記主記憶メモリ（10）のユニットアドレスが予め設定されるユニットアドレス設定部20と、前記バンク設定部（12）、ウェイト数設定部（14）及びユニットアドレス設定部（20）の設定内容と前記インタフェース監視部（16）が受信した要求とに応じて前記主記憶メモリ（10）のアクセス制御を行なうメモリ制御部（18）と、を有する。

【0012】

【作用】 本発明においては、バンク、ウェイト数（ユニットアドレス）の設定後にアクセス要求を受信すると、設定内容に応じて主記憶メモリ10のアクセス制御が行なわれるので、それら設定内容で1ウェイ、複数バンク（ウェイ）の主記憶メモリ10に対応することが可能となる。

【0013】

【実施例】 以下、図面に基づいて本発明にかかる主記憶制御装置の好適な実施例を説明する。

【0014】 図2では第1実施例の全体構成が説明されており、同図において、主記憶メモリ10とバス30との間に複数のLSI32（主記憶制御装置を構成）が挿

入されている。

【0015】それらのLSI32は、一対のバンクレジスタ12、ウェイレジスタ14、IF監視部16、一対のメモリ制御部18で構成されており、IF監視部16にはバス30からアクセス要求が与えられる。

【0016】メモリ制御部18においてはIF監視部16が受信した要求に従って主記憶メモリ10のアクセスが行なわれており、その際にバス30から与えられたデータが主記憶メモリ10へ書き込まれ、あるいは主記憶メモリ10のデータがバス30へIF監視部16を解して送出される。

【0017】またバンクレジスタ12にはLSI32の制御するバンクが設定され、ウェイレジスタ14にはLSI32の制御するウェイ数が設定される（なお、バンクレジスタ12、ウェイレジスタ14の設定は電源の投入時に行なわれる）。

【0018】さらにメモリ制御部18では主記憶メモリ10のアクセス時にバンクレジスタ12、ウェイレジスタ14の設定内容が参照され、これらの設定内容に応じて主記憶メモリ10のアクセス制御が行なわれる。

【0019】その結果、バンクレジスタ12、ウェイレジスタ14の設定内容を変更することで、1ウェイ専用、複数バンク（ウェイ）のものとして主記憶メモリ10をアクセスすることが可能となる。

【0020】図3においてはLSI32の内部構成が説明されており、バンクレジスタ12、ウェイレジスタ14と共に設けられたユニットアドレスレジスタ20には主記憶メモリ10におけるメモリユニットのアドレスが電源投入時に設定される。

【0021】またIF監視部16にはモードバッファ160、アドレスバッファ162、デコーダ164、ライトバッファ166、リードバッファ168が設けられており、電源投入時にはライトモード信号がモードバッファ160へ書き込まれ、バンクレジスタ12、ウェイレジスタ14、ユニットアドレスレジスタ20のアドレスがアドレスバッファ162へ書き込まれる。

【0022】そしてこれらバッファ160、162の出力がデコーダ164に与えられると、バンクレジスタ12、ウェイレジスタ14、ユニットアドレスレジスタ20がライトのアクセス先として指定される。

【0023】さらにライトバッファ166へ設定データがバス30から与えられると、バンクレジスタ12、ウェイレジスタ14、ユニットアドレスレジスタ20にこの設定データが書き込まれる。

【0024】同図において、メモリ制御部18はメモリ制御信号生成部180、比較回路182、マルチプレクサ184、186、データ制御部188、データ出力バッファ190、データ入力バッファ192を備えており、メモリ制御信号生成部180にはバス30からステージ回路74を介してアクセスのタイミング信号が供給

される。

【0025】そして、モードバッファ160の出力、比較回路182の出力もメモリ制御信号生成部180へ与えられ、メモリ制御信号生成部180からはRAS信号、CAS信号、OE信号、WE信号が主記憶メモリ10へ送出される。

【0026】また比較回路182にはバンクレジスタ12、ウェイレジスタ14、ユニットアドレスレジスタ20、アドレスバッファ162の出力が与えられ、ウェイレジスタ20、アドレスバッファ162の出力はマルチプレクサ184に与えられる。

【0027】このマルチプレクサ184の出力はマルチプレクサ186へ与えられており、メモリ制御信号生成部18の制御でマルチプレクサ186から主記憶メモリ10へロウアドレス、コラムアドレスが送出される。

【0028】さらに、ステージ回路74、モードバッファ160、比較回路182の出力がデータ制御部188へ与えられ、それらを用いてライトバッファ166、リードバッファ168、データ出力バッファ190、データ入力バッファ192データ制御部188で制御される（主記憶メモリ10のアクセスが行なわれることを比較回路182の出力から確認したときには、モードバッファ160の出力で示されるモードのアクセスがステージ回路74の出力に同期して行なわれる）。

【0029】なお、ライトデータはライトバッファ166、データ出力バッファ190を介して主記憶メモリ10へ書き込まれ、主記憶メモリ10から読み出されたデータはデータ入力バッファ192、リードバッファ168を介してバス30へ送出される。

【0030】ここで、バス30からアドレスバッファ162にバンク0、ユニット0のアドレスが書き込まれ、モードバッファ160にリードモードを示すデータが書き込まれると、バンクレジスタ12にバンク0が、また、ユニットアドレスレジスタ20にユニット0が各々設定されたLSI32の比較回路182においてアドレス一致を示す出力が得られる。

【0031】その比較出力とモードバッファ160の出力がメモリ制御信号生成部180とデータ制御部188に与えられると、メモリ制御信号生成部180の出力で主記憶メモリ10から読み出されたデータがデータ制御部188の制御でデータ入力部192、リードバッファ168を介してデータバス30へ送出される。

【0032】他のLSI32においては、比較回路でアドレス一致の出力が得られず、したがって、主記憶メモリ10のアクセス動作は行なわれない。

【0033】また図4のように4アドレスのデータを格納するユニットアドレスレジスタ20を用いた場合、図5のようにメモリユニットを拡張して同図(A)の1ウェイ、16ユニット/同図(B)の2ウェイ、8ユニット/同図(C)の4ウェイ、4ユニットで主記憶メモ

5

リ10を使用できる。

【0034】ただし、図6から理解されるようにウェイト数毎に拡張可能なユニット数に変化するので、ユニットアドレスのビット数がウェイト数で異なり、2ウェイト、4ウェイト時にはバンクアドレスが必要となる。

【0035】このため、アドレスバッファ162の出力で示されるユニットアドレス、バンクアドレスとユニットアドレスレジスタ20、バンクレジスタ12の出力とを比較するビットがウェイトレジスタ14の出力で決定される。

【0036】さらに、図6のように各ウェイト時にはメモリアドレスが異なるので、ウェイトレジスタ14の出力によりマルチプレクサ184が制御され、これによりメモリアドレスが決定される。

【0037】以上のように、一種類のLSI32を開発するのみで1ウェイト、複数バンク（ウェイト）の主記憶メモリ10を制御できるので、その開発費用及び工数を削減して情報処理装置の製造コストを引き下げることが可能となる。

【0038】

【発明の効果】以上説明したように本発明によれば、一種類のLSIで1ウェイトと複数バンク（ウェイト）の主記憶に対応できるので、LSIの開発費用及び工数を削減して情報処理装置の製造コストを引き下げることが可能となる。

【図面の簡単な説明】

【図1】発明の原理説明図である。

【図2】第1実施例の構成説明図である。

【図3】第1実施例におけるLSIの内部構成説明図で

6

ある。

【図4】第2実施例の構成説明図である。

【図5】第2実施例におけるメモリ接続説明図である。

【図6】第2実施例における各ウェイトのアドレス説明図である。

【図7】第1従来例の構成説明図である。

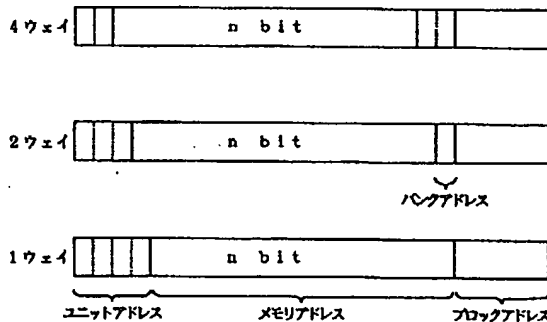
【図8】第2従来例の構成説明図である。

【符号の説明】

- 10 主記憶メモリ
- 12 バンクレジスタ
- 14 ウェイトレジスタ
- 16 IF監視部
- 18 メモリ制御部
- 20 ユニットアドレスレジスタ
- 30 バス
- 32 LSI
- 74 ステージ回路
- 160 モードバッファ
- 162 アドレスバッファ
- 164 デコーダ
- 166 ライトバッファ
- 168 リードバッファ
- 180 メモリ制御信号生成部
- 182 比較回路
- 184, 186 マルチプレクサ
- 188 データ制御部
- 190 データ出力バッファ
- 192 データ入力バッファ

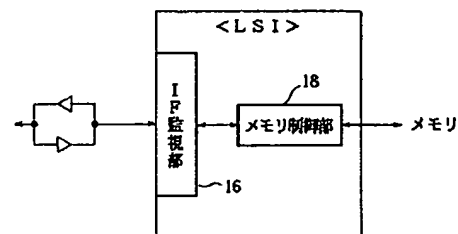
【図6】

第2実施例における各ウェイトのアドレス説明図



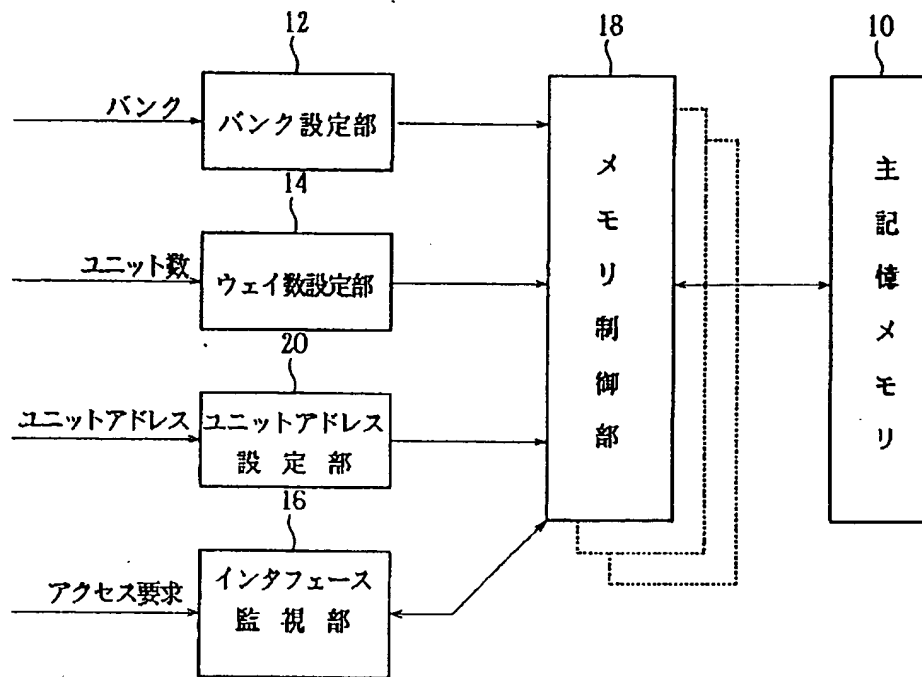
【図8】

第2従来例の構成説明図



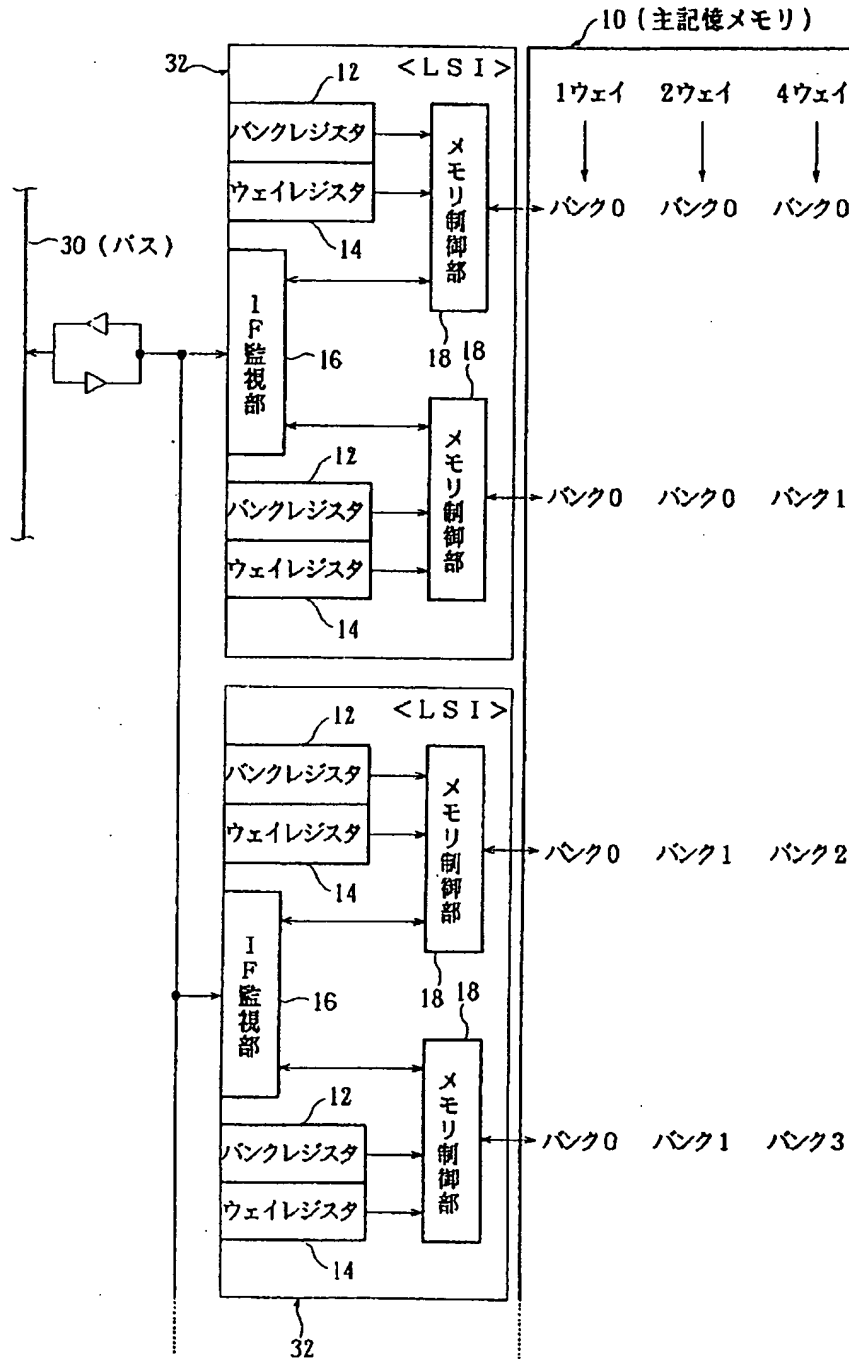
【図1】

発明の原理説明図



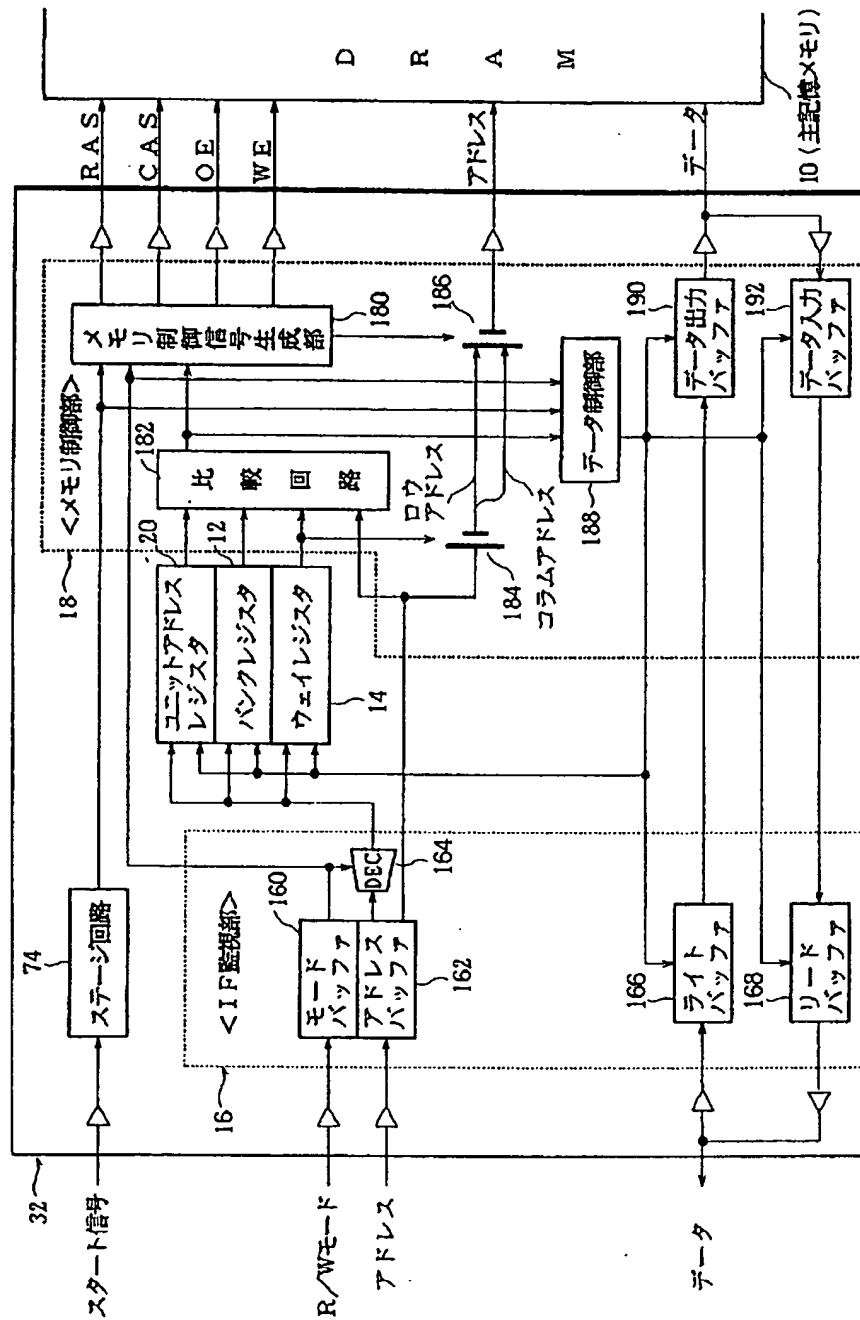
【図2】

第1実施例の全体構成説明図



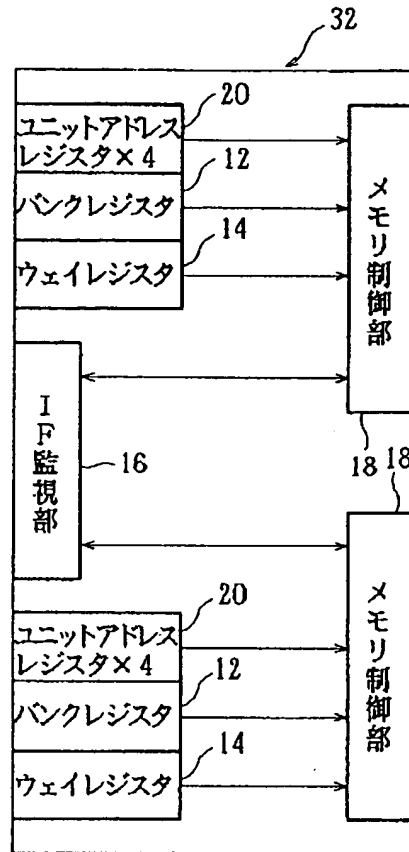
【図3】

第1実施例におけるLSIの内部構成説明図



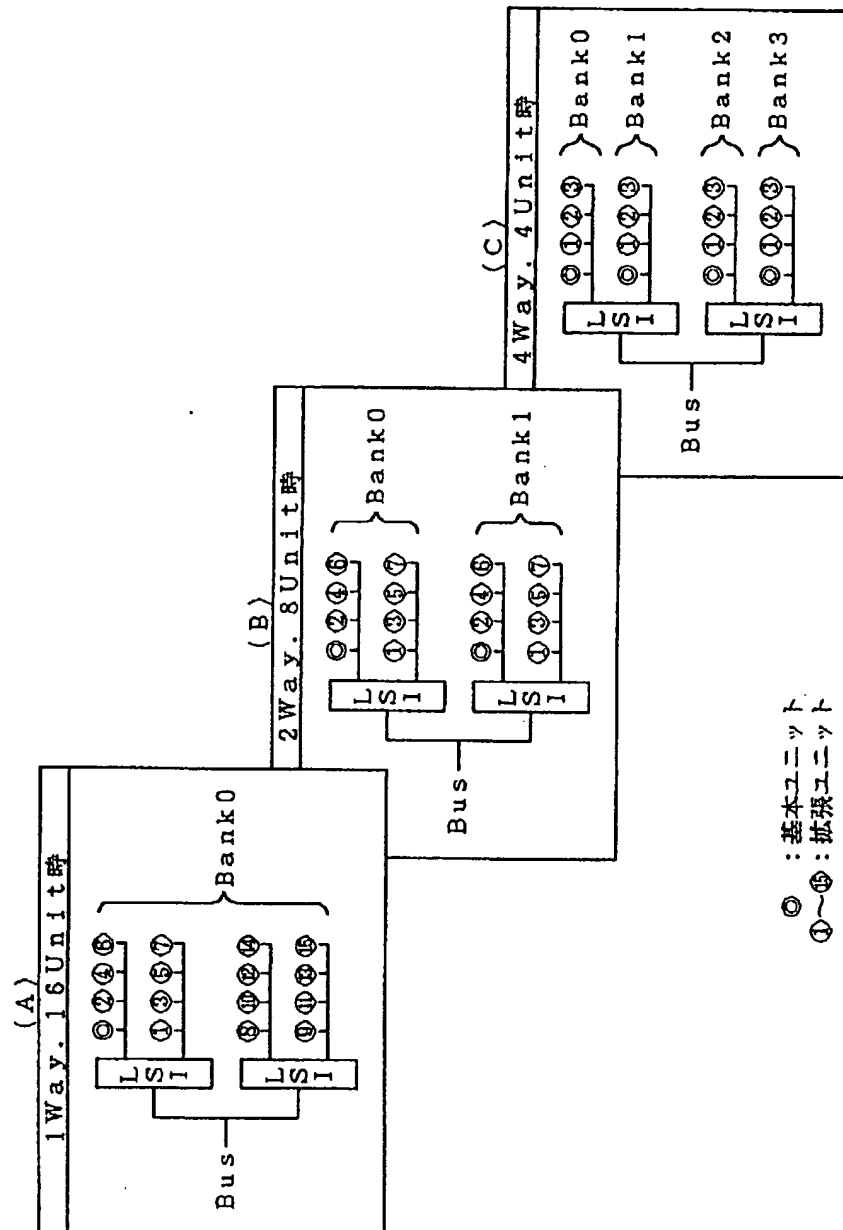
【図4】

第2実施例の構成説明図



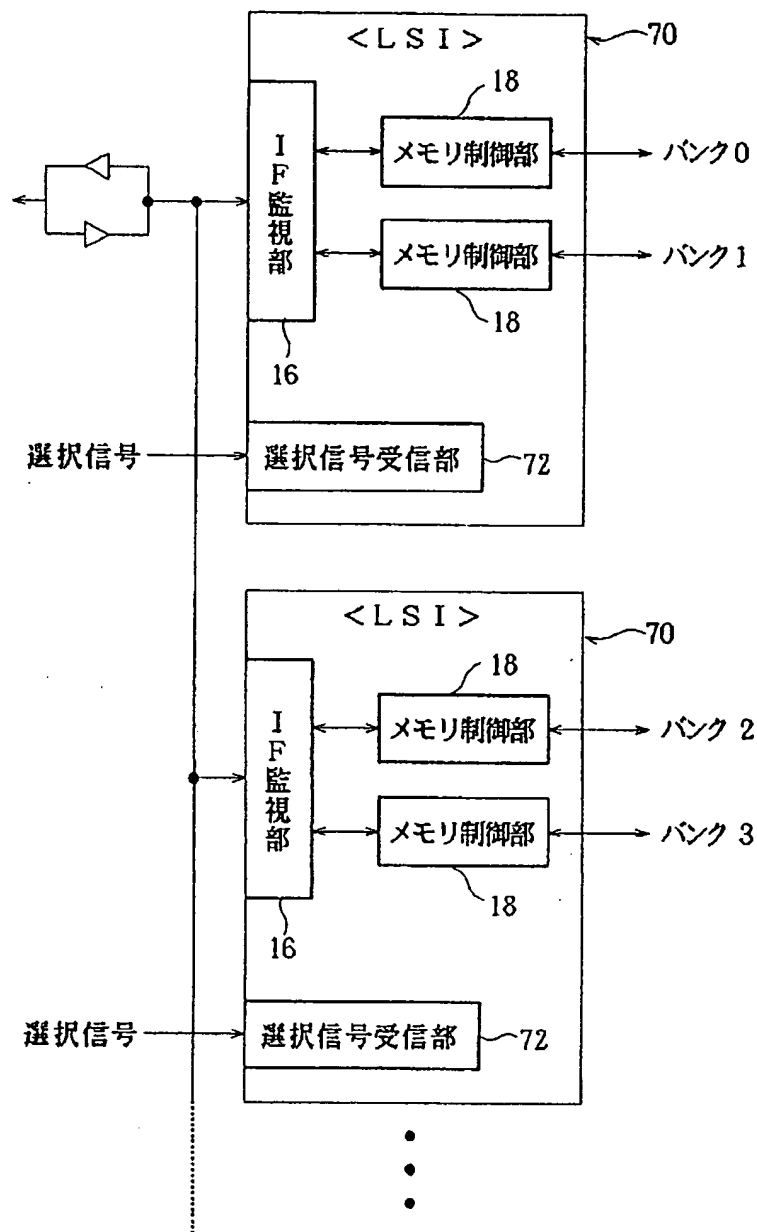
【図5】

第2実施例におけるメモリ接続説明図



【図7】

第1従来例の構成説明図



フロントページの続き

(72)発明者 山口 達也
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 桜井 康智
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 小田原 孝一
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 野中 巧
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.